

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-168022

(43)Date of publication of application : 25.06.1996

(51)Int.Cl.

H04N 5/21

H04N 5/335

(21)Application number : 06-310312

(71)Applicant : NIKON CORP

(22)Date of filing : 14.12.1994

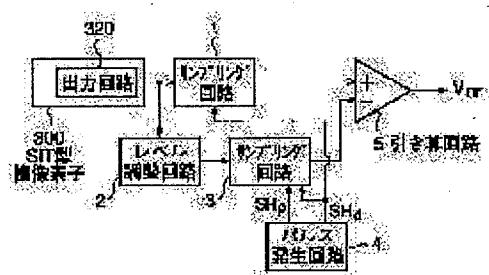
(72)Inventor : JIYUEN MASAHIRO

(54) CIRCUIT AND METHOD FOR NOISE REDUCTION

(57)Abstract:

PURPOSE: To reduce a reset noise included in the output signal voltage of a charge distribution type output circuit.

CONSTITUTION: A sampling circuit 1 and a level adjusting circuit 2 are connected to an output circuit 320. The level adjusting circuit 2 divides an inputted voltage to a specific value and outputs the divided voltage to a sampling circuit 3. A pulse generating circuit 4 inputs timing pulses SHd and SHp to the sampling circuits 1 and 3. The sampling circuit 1 samples the effective signal output voltage of the inputted voltage corresponding to the timing pulses SHd and inputs the sampled voltage to a subtracting circuit 5. The sampling circuit 3, on the other hand, samples the noise output voltage of the inputted voltage corresponding to the input of the timing pulses SHp and samples the sampled voltage again corresponding to the timing pulses SHd, and inputs the sampled voltage to the subtracting circuit 5. The subtracting circuit 5 calculates the difference between the two sampled voltages and outputs it.



(51) Int.Cl.⁶H 04 N 5/21
5/335

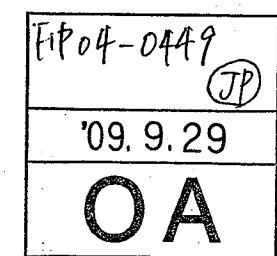
識別記号

府内整理番号

B
P

F I

技術表示箇所



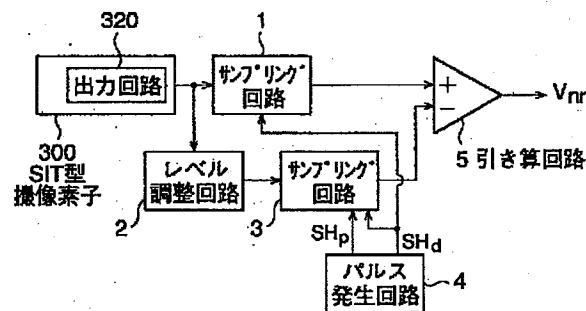
(21)出願番号 特願平6-310312
 (22)出願日 平成6年(1994)12月14日

(71)出願人 000004112
 株式会社ニコン
 東京都千代田区丸の内3丁目2番3号
 (72)発明者 壽圓 正博
 東京都千代田区丸の内3丁目2番3号 株式会社ニコン内
 (74)代理人 弁理士 稲本 義雄

(54)【発明の名称】 雜音低減回路及び雑音低減方法

(57)【要約】

【目的】 リセット雑音を低減する。
 【構成】 出力回路320に、サンプリング回路1及びレベル調整回路2が接続されている。レベル調整回路2は、入力された電圧を所定の値に分圧し、サンプリング回路3に出力する。パルス発生回路4は、タイミングパルスSH_d, SH_pを、サンプリング回路1, 3に入力する。サンプリング回路1は、タイミングパルスSH_dに対応して、入力された電圧の有効信号出力電圧をサンプリングし、引き算回路5に入力する。一方、サンプリング回路3は、タイミングパルスSH_pの入力に対応して、入力された電圧の雑音出力電圧をサンプリングし、タイミングパルスSH_dに対応して、サンプリング電圧を再度サンプリングし、引き算回路5に入力する。引き算回路5は、2個のサンプリング電圧の電位差を算出して、出力する。



【特許請求の範囲】

【請求項1】複数の画素によって構成される受光部から出力される信号を蓄積する第1のコンデンサと、外部の走査回路から入力される信号に対応して、前記第1のコンデンサに蓄積されている信号の取り出し動作を制御する取り出しそイッチと、前記取り出しそイッチがオンされた場合において、前記第1のコンデンサから取り出された信号が分配、蓄積される第2のコンデンサと、前記取り出しそイッチがオンされる前に、前記第2のコンデンサをリセットするリセットスイッチとを備える電荷分配型出力回路の出力に含まれる雑音成分を低減する雑音低減回路において、前記取り出しそイッチがオンされ、前記第1のコンデンサに蓄積されている信号が前記第2のコンデンサに分配される第1のタイミングにおいて、前記電荷分配型出力回路から出力される信号をサンプリングする第1のサンプリング手段と、前記第2のコンデンサがリセットされた後、前記取り出しそイチがオンされる前の第2のタイミングにおいて、前記電荷分配型出力回路から出力される信号をサンプリングする第2のサンプリング手段と、前記第1のタイミングにおいて、前記第1のサンプリング手段に供給する第1のタイミングパルスと、前記第2のタイミングにおいて、前記第2のサンプリング手段に供給する第2のタイミングパルスとを発生するパルス発生手段と、前記第1または第2のサンプリング手段の前段または後段に配置され、入力された信号のレベルを調整する調整手段と、前記第1及び第2のサンプリング手段によってサンプリングされ、前記調整手段によってレベル調整された2種類の信号の入力を受け、前記2種類の信号の電位差を算出し、出力する引き算手段とを備え、前記調整手段は、前記引き算手段に入力される信号の一方と他方の比が、前記第2のコンデンサの容量と、前記第1のコンデンサの容量と前記第2のコンデンサの容量の和との比になるようにレベル調整を行うことを特徴とする雑音低減回路。

【請求項2】前記調整手段は、前記第1のサンプリング手段の前段に配置される增幅手段であることを特徴とする請求項1に記載の雑音低減回路。

【請求項3】前記調整手段は、前記第1のサンプリング手段の後段に配置される增幅手段であることを特徴とする請求項1に記載の雑音低減回路。

【請求項4】前記調整手段は、前記第2のサンプリング手段の前段に配置される分圧手段であることを特徴とする請求項1に記載の雑音低減回路。

【請求項5】前記調整手段は、前記第2のサンプリング手段の後段に配置される分圧手段であることを特徴と

する請求項1に記載の雑音低減回路。

【請求項6】複数の画素によって構成される受光部から出力される信号を蓄積する第1のコンデンサと、外部の走査回路から入力される信号に対応して、前記第1のコンデンサに蓄積されている信号の取り出し動作を制御する取り出しそイチと、前記取り出しそイチがオンされた場合において、前記第1のコンデンサから取り出された信号が分配、蓄積される第2のコンデンサと、前記取り出しそイチがオンされる前に、前記第2のコンデンサをリセットするリセットスイッチとを構成する電荷分配型出力回路の出力に含まれる雑音成分を低減する雑音低減方法において、前記取り出しそイチがオンされ、前記第1のコンデンサに蓄積されている信号が前記第2のコンデンサに分配される第1のタイミングにおいて、前記電荷分配型出力回路から出力される信号をサンプリングし、前記第2のコンデンサがリセットされた後、前記取り出しそイチがオンされる前の第2のタイミングにおいて、前記電荷分配型出力回路から出力される信号をサンプリングし、この2個のタイミングにおけるサンプリング処理前または後において、信号の一方と他方の比が、前記第2のコンデンサの容量と、前記第1のコンデンサの容量と前記第2のコンデンサの容量の和との比になるようにレベル調整をし、この2個の信号の電位差を算出し、出力することを特徴とする雑音低減方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、例えば、電荷分配型の固体撮像素子出力回路の出力に含まれる雑音を低減する場合に用いて好適な雑音低減回路及び雑音低減方法に関する。

【0002】

【従来の技術】固体撮像素子の一種として、フローティング拡散増幅器を使用したCCD型撮像素子がある。CCD型撮像素子の出力信号には、雑音（ノイズ）信号が混入しており、この出力信号を用いて、画像表示処理が行われると、表示される画像が、ノイズを含んだ画像になってしまう。

【0003】そこで、従来、CCD型撮像素子の出力信号に混入している雑音信号を低減する雑音低減回路が、CCD型撮像素子の後段に設けられ、CCD型撮像素子の出力信号に含まれる雑音信号を低減する処理が行われている。

【0004】CCD型撮像素子の出力信号に含まれる雑音信号を低減する回路として、例えば、相関二重サンプリング回路が知られている。図6は、従来のCCD型撮像素子及び相関二重サンプリング回路の一構成例を示す

プロック図である。この例においては、CCD型撮像素子200、出力段としてのソースホロワ回路204及び雑音低減回路としての相関二重サンプリング回路207が順に接続されている。

【0005】CCD駆動パルス ϕ_1 によって駆動されるCCDレジスタ201から、出力ゲート202を介して、浮遊拡散領域203に電荷が転送される。浮遊拡散領域203においては、電荷量を電圧に変換する処理が行われており、CCDレジスタ201から転送された電荷が信号電圧に変換され、その信号電圧がソースホロワ回路204に入力される。そして、この信号電圧は、MOSトランジスタ204A及び204Bからなるソースホロワ回路204を介して、相関二重サンプリング回路207に出力される。

【0006】上述した浮遊拡散領域203には、リセットスイッチ205が接続されており、さらに、リセットスイッチ205には、リセットドレイン領域206が接続されている。リセットスイッチ205は、所定のタイミングにおいて入力されるリセットパルス ϕ_2 によってオンされる。このリセットスイッチ205がオンされたと、浮遊拡散領域203に蓄積されている電荷が、リセットスイッチ205を介して、リセットドレイン領域206に捨てられ、さらに、浮遊拡散領域203は、リセットドレイン領域206に印加されている所定のリセット電位VDDに設定される。

【0007】したがって、ソースホロワ回路204の出力電圧波形の基本サイクルは、図7に示すように、リセットスイッチ205がオンされるリセット期間 T_x 、リセットスイッチ205がオフされ、出力信号がゼロとなる基準レベル期間 T_y （リセット期間 T_x と基準レベル期間 T_y は、信号無効期間 T_w となる）、及び、ソースホロワ回路204を介して信号を出力する信号出力期間（信号有効期間） T_z とからなり、CCDレジスタ201から出力される信号電荷が、浮遊拡散領域203に、時系列的に、転送される毎に、繰り返されることになる。

【0008】ところで、リセット後の基準レベル期間 T_y における電圧には、リセットスイッチ205をオフしたときに発生する雑音成分が乗っている。したがって、基準レベル期間 T_y 後に、CCDレジスタ201から浮遊拡散領域203に信号電荷が入力され、この信号電荷に対応する信号電圧がソースホロワ回路204に出力される信号出力期間 T_z の電圧にも、雑音成分が乗ってしまう。よって、信号出力期間 T_z の信号電圧を用いて、画像表示処理が行われると、表示される画像が、雑音（ノイズ）を含んだ映像となってしまう。

【0009】そこで、図6のソースホロワ回路204の後段に、相関二重サンプリング回路207が設けられている。この相関二重サンプリング回路207は、入力電圧をサンプリングするサンプリング回路208、209

及び2個の入力電圧の電位差を算出し、出力する引き算回路210によって構成されている。

【0010】サンプリング回路208は、信号出力期間 T_z の電圧をサンプリングし、サンプリング回路209は、基準レベル期間 T_y の電圧をサンプリングする。そして、サンプリング回路208及び209においてサンプリングされた電圧が引き算回路210に入力される。引き算回路210は、サンプリング回路208及び209から入力された2個の電圧の電位差を算出し、その算出値を出力信号電圧 V_s として出力する。したがって、この相関二重サンプリング回路207の出力信号電圧は、リセットスイッチ205がオフされたときに混入したリセット雑音成分を低減した信号となる。

【0011】なお、相関二重サンプリング回路207において、サンプリング回路208、209の代わりに、信号の伝達速度を遅延させる遅延線を使用し、原信号の信号出力期間 T_z の電圧と、基準レベル期間 T_y の電圧とのタイミングを合わせて、引き算回路210に入力し、引き算処理を施し、その点の電位差を出力する構成とされる場合もある。

【0012】ところで、固体撮像素子には、CCD型撮像素子の他に、SIT型撮像素子に代表される增幅型撮像素子があり、この增幅型撮像素子の出力回路に電荷分配型の出力回路がある。この電荷分配型の出力回路から出力される信号電圧にも、雑音成分が含まれている。

【0013】図8は、SIT型撮像素子の一構成例を示す回路図である。このSIT型撮像素子300は、画像信号を蓄積する受光部302、受光部302に蓄積されている信号を外部に出力する電荷分配型の出力回路320、及び受光部302のリセットを行うMOSスイッチ部303によって構成されており、垂直走査及びパルス発生回路301及び水平走査回路307から入力される信号に対応して、外部に画像信号を出力する。

【0014】受光部302は、複数の画素（SIT302A乃至302I）によって構成されている（図においては、簡単のため 3×3 画素）。この受光部302を構成している各SITのゲートには、光電荷が蓄積される。また、この受光部302において、SIT302A乃至302Cの各ゲートがゲートライン313Aに、SIT302D乃至302Fの各ゲートがゲートライン313Dに、SIT302G乃至302Iのゲートがゲートライン313Gに、それぞれ接続されている。ゲートライン313A、313D及び313Gは、垂直走査及びパルス発生回路301に接続されている。

【0015】一方、SIT302A、302D、302Gの各ソースはソースライン311Aに、SIT302B、302E、302Hの各ソースはソースライン311Bに、SIT302C、302F、302Iの各ソースはソースライン311Cに、それぞれ接続されている。これらのソースライン311A乃至311Cは、そ

の一端がMOSスイッチ部303に接続され、他端が出力回路320に接続されている。

【0016】出力回路320は、第1MOSスイッチ304A乃至304C、コンデンサ305A乃至305C、第2MOSスイッチ306A乃至306C、出力信号線312、出力信号線容量308、リセットスイッチ309及びソースホロワ310によって構成されている。以下に、その接続状態を述べる。

【0017】第1MOSスイッチ304Aは、その一端が、受光部302からのソースライン311Aに接続されており、その他端が、第2MOSスイッチ306Aの一端に接続されている。第2MOSスイッチ306Aの他端は、出力信号線312に接続されている。また、コンデンサ305Aは、その一端が、第1MOSスイッチ304Aと第2MOSスイッチ306Aとの接続点に接続され、その他端が接地されている。

【0018】第1MOSスイッチ304B、コンデンサ305B及び第2MOSスイッチ306B、さらに、第1MOSスイッチ304C、コンデンサ305C及び第2MOSスイッチ306Cの接続状態は、上記の第1MOSスイッチ304A、コンデンサ305A及び第2MOSスイッチ306Aの接続状態と同様である。

【0019】第1MOSスイッチ304A乃至304Cのゲートにオン信号 ϕ_T が印加されると、受光部302から出力される信号電荷が、コンデンサ305A乃至305Cに蓄積される。また、水平走査回路307から入力される信号に対応してオン／オフする第2MOSスイッチ306A、306B、306Cが順にオンされると、コンデンサ305A乃至305Cに蓄積されている信号電荷が、順次、出力信号線312に取り出される。

【0020】出力信号線容量308は、その一端が、出力信号線312に接続され、他端が、接地されており、出力信号線312に取り出された信号電荷を蓄積する。リセットスイッチ309は、その一端が、出力信号線312に接続され、その他端が接地されている。

【0021】また、出力信号線312の出力端には、ソースホロワ310が接続されており、このソースホロワ310から信号電圧が出力される。

【0022】次に、図8に示したSIT型撮像素子300の動作について、例として、SIT302Aに蓄積されている信号を読み出す場合の動作を、図9、図10及び図11を参照して説明する。図9は、図8に示すSIT302Aからの信号の伝達経路を説明する1ライン分の回路図である。図10は、SIT302Aに蓄積されている信号電荷が出力される場合の動作を説明するフローチャートである。また、図11は、このSIT型撮像素子300の出力回路320から、外部に出力される出力電圧と時間との関係を示す特性図である。

【0023】SIT302A乃至302Iのゲートには、1画素毎の画像信号として、光電荷が蓄積されてい

10

20

30

40

50

る。図10のステップS1において、垂直走査及びパルス発生回路301が、ゲートライン313Aに読み出し電位 V_o を印加する。すると、SIT302A乃至302Cのゲートに、この読み出し電位 V_o が印加され、SIT302A乃至302Cのゲートに蓄積されている光電荷が、それぞれ、ソースライン311A、311B、311Cに取り出される。

【0024】次に、ステップS2に進み、所定のタイミングで、第1MOSスイッチ304A乃至304Cのゲートに、スイッチオン電圧 ϕ_1 が印加され、第1MOSスイッチ304A乃至304Cがオンされる。なお、このとき、第2MOSスイッチ306A乃至306Cは、オフされている。すると、ソースライン311A乃至311Cに取り出された(SIT302A乃至SIT302Cのゲートに蓄積されていた)電荷が、コンデンサ305A乃至305Cに、信号電荷 Q_{sa} 乃至 Q_{sc} として蓄積される。そして、ステップS3に進み、第1MOSスイッチ304A乃至304Cがオフされる。

【0025】次に、ステップS4に進み、リセットスイッチ309のゲートにリセット電位 ϕ_R が印加され、リセットスイッチ309がオンされる。また、このとき、第2MOSスイッチ306A乃至306Cは、オフされている。すると、出力信号線容量308に取り出されていた残留電荷が、リセットスイッチ309を介して捨てられ、出力信号線312が、所定の電位に設定される(図11の期間 t_r)。そして、ステップS5に進み、リセットスイッチ309がオフされる。リセットスイッチ309がオフされると、リセット雑音電荷 Q_o が、出力信号線容量308に残る(図11の期間 t_f)。

【0026】ステップS5において、リセット動作が終了すると、ステップS6に進み、水平走査回路307は、コンデンサ305Aに蓄積されている信号電荷 Q_{sa} を読み出すため、第2MOSスイッチ306Aのゲートに読み出し電位 ϕ_H を印加する。すると、第2MOSスイッチ306Aがオンされ、SIT302Aから出力され、コンデンサ305Aに蓄積されていた信号電荷 Q_{sa} が出力信号線312に取り出され、出力信号線容量308に分配、蓄積される。このとき、信号電荷 Q_{sa} は、リセット雑音電荷 Q_o に乗ってしまう。さらに、ソースホロワ310を通じて、この出力信号線容量308に蓄積されている電荷が、SIT型撮像素子300の外部に、有効信号出力電圧として出力される(図11の期間 t_{sig})。

【0027】上記の動作によって、SIT302Aのゲートに蓄積されている光電荷を外部に出力することができる。

【0028】また、コンデンサ305B及び305Cには、SIT302B、302Cからの信号電荷 Q_{sb} 、 Q_{sc} が蓄積されており、水平走査回路307は、これらの信号電荷を順に、外部に出力するように、第2MOSス

イッチ306B、306Cの各ゲートに読み出し電位 ϕ_H を、順に印加する。なお、このとき、1個のコンデンサからの読み出し処理終了毎に、リセットスイッチ309によるリセット動作が行われる。

【0029】以上によって、ゲートライン313Aに接続されているSIT302A乃至302Cのゲートに蓄積されていた光電荷が、出力回路320から順に出力される。さらに、ゲートライン313D, 313Gに接続されているSIT302D乃至302F, SIT302G乃至302Iのゲートに蓄積されている光電荷についても、同様の読み出し処理がなされ、それぞれ、順に、出力回路320から出力される。

【0030】また、受光部302において、ゲートライン313Aに接続されているSIT302A乃至302Cに蓄積されていた電荷の出力動作が終了すると、MOSスイッチ部303を構成しているMOSスイッチ303A乃至303Cのゲートに、ソースラインリセット電圧 ϕ_{RSV} が印加され、かつ、SIT302A乃至302Cのゲートに、読み出し電圧 V_o より大きな電圧が印加され、各ソースラインに取り出された電荷が、それぞれ、MOSスイッチ303A乃至303Cを介して捨てられる。このリセット動作が終了すると、ゲートライン313Dに接続されているSIT302D乃至302Fに蓄積される電荷の出力処理が行われる。同様に、ゲートライン313Gに接続されているSIT302G乃至302Iに蓄積される電荷の出力処理が行われる前に、上述のMOSスイッチ部303によるリセット処理が行われる。

【0031】

【発明が解決しようとする課題】ところで、ソースホロワ310のゲインを、理想的に1とすると、図11の期間 t_{sig} に出力される有効信号出力電圧 V_{sig} は、次に示すような値となる。なお、コンデンサ305A乃至305Cの容量を C_s とし、出力信号線容量308の容量を C_h とする。

$$[0\ 0\ 3\ 2] \cdot V_{\text{sig}} = (Q_s + Q_e) / (C_t + C_h)$$

【0033】また、上記の有効信号出力電圧 V_{sig} に含まれる雑音成分電圧 V_{no} は、次のような。

$$[0.034] \cdot V_{\text{so}} = Q_s / (C_t + C_h)$$

【0035】一方、リセット直後(図11の期間 t_f)に表れるリセット雑音電圧 V_{er} は、次のように表される。

$$[0036] V_{sr} \equiv Q_s / C_{sh}$$

【0037】したがって、上述した、CCD型撮像素子における、相関二重サンプリング回路207を、このSIT型撮像素子300の出力回路320の後段に配置し、IIセッタ直後の出力電圧（IIセッタ雑音電圧V_{II}）

(図 1.1 の期間 t_f の電圧) と、有効な信号が出力される期間の電圧 (有効信号出力電圧 V_{sig}) (図 1.1 の期間 t_{sig} の電圧) とをサンプリングして、その電位差を

信号電圧とする雑音低減処理を行っても、有效地に雑音を低減することができない。

【0038】つまり、リセット直後（図11の期間 t_r ）の出力電圧をサンプリングすると、そのサンプリング電圧は、リセット雑音電圧 V_{er} ($= Q_e / C_h$) となり、有効な信号が出力されている期間（図11の期間 t_{sig} ）の出力電圧をサンプリングすると、そのサンプリング電圧は、有効信号出力電圧 V_{sig} ($= (Q_s + Q_e) / (C_t + C_h)$) となる。しかし、有効信号出力電圧 V_{sig} に含まれる雑音成分の電圧は V_{eo} ($= Q_e / (C_t + C_h)$) であり、リセット直後のサンプリング電圧 V_{er} と異なっている。よって、期間 t_r 及び t_{sig} の出力電圧をサンプリングし、その電位差を求めて信号電圧としても、リセット雑音電荷 Q_e が残ってしまい、雑音成分を有効に低減することができない。

【0039】このように、電荷分配型の出力回路については、有効な雑音低減回路が提案されておらず、リセット雑音を含む信号電圧が output され、その信号電圧を用いて、画像表示処理がなされると、表示される画像が、ノイズを含んだ画像となってしまうという課題を有している。

【0040】本発明はこのような状況に鑑みてなされたものであり、電荷分配型の出力回路の出力信号電圧が含んでいるリセット雑音（ノイズ）を、有効に低減することを目的とする。

[0041]

【課題を解決するための手段】請求項1に記載の雑音低減回路は、複数の画素（例えば図8のS I T 3 0 2 A乃至3 0 2 I）によって構成される受光部（例えば図8の受光部3 0 2）から出力される信号を蓄積する第1のコンデンサ（例えば図8のコンデンサ3 0 5 A乃至3 0 5 C）と、外部の走査回路（例えば図8の水平走査回路3 0 7）から入力される信号（例えば図8の信号電圧 ϕ_{H} ）に対応して、第1のコンデンサに蓄積されている信号の取り出し動作を制御する取り出しひスイッチ（例えば図8の第2 MOSスイッチ3 0 6 A乃至3 0 6 C）と、この取り出しひスイッチがオンされた場合において、第1のコンデンサから取り出された信号が分配、蓄積される第2のコンデンサ（例えば図8の出力信号線空量3 0 8）

40 8) と、取り出しがオノされる前に、第2のコンデンサをリセットするリセットスイッチ（例えば図8のリセットスイッチ309）と、を備える電荷分配型出力回路（例えば図8の出力回路320）の出力に含まれる雑音成分を低減する雑音低減回路において、取り出しがオノされ、第1のコンデンサに蓄積されている信号が第2のコンデンサに分配される第1のタイミング（例えば図11の期間 t_{sig} ）において、上述した電荷分配型出力回路から出力される信号（例えば図11の V_{sig} ）をサンプリングする第1のサンプリング手段

50 (例えば図1のサンプリング回路1) と、第2のコンデンサ

ンサがリセットされた後、取り出しスイッチがオンされる前の第2のタイミング（例えば図11の期間 t_f ）において、上述した電荷分配型出力回路から出力される信号（例えば図11の V_{er} ）をサンプリングする第2のサンプリング手段（例えば図1のサンプリング回路3）と、第1のタイミングにおいて、第1のサンプリング手段に供給する第1のタイミングパルスと、第2のタイミングにおいて、第2のサンプリング手段に供給する第2のタイミングパルスを発生するパルス発生手段（例えば図1のパルス発生回路4）と、第1または第2のサンプリング手段の前段または後段に配置され、入力された信号のレベルを調整する調整手段（例えば図1のレベル調整回路2）と、第1及び第2のサンプリング手段によってサンプリングされ、調整手段によって調整された2種類の信号の入力を受け、この2種類の信号の電位差（ V_{er} ）を算出し、出力する引き算手段（例えば図1の引き算回路5）とを備え、この調整手段は、引き算手段に入力される信号の一方と他方の比が、上述した第2のコンデンサの容量と、第1のコンデンサの容量と第2のコンデンサの容量の和との比になるようにレベル調整を行うことを特徴とする。

【0042】この調整手段は、第1のサンプリング手段の前段に配置される增幅手段（例えば図4の増幅器10）とするようにすることができる。

【0043】この調整手段は、第1のサンプリング手段の後段に配置される增幅手段（例えば図5の増幅器10）とするようにすることができる。

【0044】この調整手段は、第2のサンプリング手段の前段に配置される分圧手段（例えば図1のレベル調整回路2）とするようにすることができる。

【0045】この調整手段は、第2のサンプリング手段の後段に配置される分圧手段（例えば図2のレベル調整回路2）とするようにすることができる。

【0046】請求項6に記載の雑音低減方法は、複数の画素（例えば図8のSIT302A乃至302I）によって構成される受光部（例えば図8の受光部302）から出力される信号を蓄積する第1のコンデンサ（例えば図8のコンデンサ305A乃至305C）と、外部の走査回路（例えば図8の水平走査回路307）から入力される信号に対応して、第1のコンデンサに蓄積されている信号の取り出し動作を制御する取り出しスイッチ（例えば図8の第2MOSスイッチ306A乃至306C）と、この取り出しスイッチがオンされた場合において、第1のコンデンサから取り出された信号が分配、蓄積される第2のコンデンサ（例えば図8の出力信号線容量308）と、取り出しスイッチがオンされる前に、第2のコンデンサをリセットするリセットスイッチ（例えば図8のリセットスイッチ309）と、を備える電荷分配型出力回路（例えば図8の出力回路320）の出力に含まれる雑音成分を低減する雑音低減方法において、取り出

しスイッチがオンされ、第1のコンデンサに蓄積されている信号が第2のコンデンサに分配される第1のタイミング（例えば図11の期間 t_{sig} ）において、上述した電荷分配型出力回路から出力される、信号（例えば図11の V_{sig} ）をサンプリングし、第2のコンデンサがリセットされた後、取り出しスイッチがオンされる前の第2のタイミング（例えば図11の期間 t_f ）において、上述した電荷分配型出力回路から出力される信号（例えば図11の V_{er} ）をサンプリングし、このサンプリング処理前または後において、信号の一方と他方の比が、第2のコンデンサの容量と、第1のコンデンサの容量と第2のコンデンサの容量の和との比になるようにレベル調整を行い、この2個の信号の電位差を算出し、出力することを特徴とする。

【0047】

【作用】上記構成の雑音低減回路及び雑音低減方法においては、サンプリング回路1が、SIT型撮像素子300の出力回路320から出力される電圧のうち、期間 t_{sig} のタイミングにおける有効信号出力電圧 V_{sig} をサンプリングし、レベル調整回路2が出力回路320から出力される電圧に、サンプリング回路1に入力される電圧とサンプリング回路3に入力される電圧の比が、出力信号線容量308の容量と、コンデンサ305Aの容量と出力信号線容量308の容量の和との比になるようにレベル調整を行い、サンプリング回路3がレベル調整回路2からの入力電圧の、期間 t_f のリセット雑音電圧をサンプリングし、引き算回路5が、サンプリング回路1及び3がサンプリングした2個のサンプリング電圧の電位差を算出し、出力する。したがって、出力回路320から出力される信号電圧に含まれている雑音成分を、有效地に低減することができる。

【0048】

【実施例】以下、本発明の実施例について、図面を参照して説明する。なお、従来例と同様の構成には、同一の符号を付し、適宜その説明を省略する。

【0049】図1は、本発明の雑音低減回路の一実施例の構成を示すブロック図である。従来例において説明した、図8のSIT型撮像素子300の電荷分配型の出力回路320が、サンプリング回路1及びレベル調整回路2に接続されている。

【0050】レベル調整回路2は、SIT型撮像素子300の出力回路320から出力された出力電圧を、所定の割合（後述する）に分圧し、その分圧処理を施した電圧をサンプリング回路3に入力するようになされている。パルス発生回路4は、2種類のタイミングパルス S_{H_d} 、 S_{H_p} （後述する）を、サンプリング回路1または3に入力するようになされている。サンプリング回路1及び3は、パルス発生回路4からタイミングパルスの入力を受けると、そのタイミングで、入力された電圧をサンプリングし、それぞれ、そのサンプリング電圧を引き

算回路5に入力するようになされている。引き算回路5は、サンプリング回路1及び3から出力されたサンプリング電圧の入力を受け、その電位差を算出し、出力信号として出力するようになされている。

【0051】次に、図1に示す雑音低減回路の動作を説明する。従来例に示したように、S I T型撮像素子300の電荷分配型の出力回路320から、図11に、その電圧波形を示す出力電圧が输出される。この出力電圧は、サンプリング回路1及びレベル調整回路2に入力される。

【0052】レベル調整回路2は、入力された電圧に、係数 $C_h / (C_t + C_h)$ を乗算して、その乗算値をサンプリング回路3に入力する。ここで、 C_h は、出力信号線容量308の容量であり、 C_t は、コンデンサ305A乃至305Cの容量である。つまり、このレベル調整回路2は、サンプリング回路1に入力される電圧と、サンプリング回路3に入力される電圧の比が、出力信号線容量308の容量 C_h と、コンデンサ305A乃至305Cの容量 C_t と出力信号線容量308の容量 C_h の和 $(C_t + C_h)$ との比 $(C_h / (C_t + C_h))$ になるように、入力電圧を分圧する。

【0053】パルス発生回路4は、リセット直後の時刻(図11の期間 t_f)において、タイミングパルス $S H_p$ をサンプリング回路3に入力する。すると、サンプリング回路3は、このタイミングパルス $S H_p$ に対応して、リセット直後の出力回路320の出力電圧(リセット雑音電圧) V_{er} を、レベル調整回路2によって分圧処理した出力電圧、つまり $V_{er} \cdot C_h / (C_t + C_h)$ をサンプリングする。

【0054】さらに、パルス発生回路4は、図11における期間 t_{sig} において、タイミングパルス $S H_d$ を発生し、サンプリング回路1及び3に入力する。サンプリング回路1は、このタイミングパルス $S H_d$ に対応して、期間 t_{sig} におけるS I T型撮像素子300の出力電圧(有効信号出力電圧) V_{sig} をサンプリングする。また、サンプリング回路3は、上述したサンプリング電圧を、このタイミングパルス $S H_d$ のタイミング(サンプリング回路1のサンプリングタイミング)に合わせて、再度サンプリングする。

【0055】そして、サンプリング回路1及び3がサンプリングした2種類のサンプリング電圧が引き算回路5に入力される。引き算回路5は、入力された2種類のサンプリング電圧の電位差を算出し、その電位差を信号電圧 V_{nr} として、外部に出力する。

【0056】この場合、サンプリング回路1からは、 $V_{sig} (= Q_s + Q_e) / (C_t + C_h)$ が入力され、サンプリング回路3からは、 $V_{er} \cdot C_h / (C_t + C_h) (= (Q_e / C_h) \cdot C_h / (C_t + C_h) = Q_e / (C_t + C_h))$ が、引き算回路5に入力される。引き算回路5は、この2つの入力電圧の電位差 V_{nr} を、次に示すよう

に算出し、出力する。

【0057】

$$\begin{aligned} V_{nr} &= V_{sig} - V_{er} \cdot C_h / (C_t + C_h) \\ &= V_{sig} - (Q_e / C_h) \cdot C_h / (C_t + C_h) \\ &= (Q_s + Q_e) / (C_t + C_h) - Q_e / (C_t + C_h) \\ &= Q_s / (C_t + C_h) \end{aligned}$$

【0058】従って、引き算回路5から出力される信号電圧から、雑音成分(リセット雑音電荷 Q_e)を完全に除去することが可能となる。

10 【0059】さらに、本発明の雑音低減回路は、図1に示す実施例の他にも構成可能である。図2は、本発明の雑音低減回路の他の実施例の構成を示すブロック図である。図2の実施例においては、図1に示すレベル調整回路2が、サンプリング回路3の後段に配置されており、その他の構成は、図1に示す場合と同様である。

【0060】図2に示す実施例においては、S I T型撮像素子300の出力回路320から出力される電圧が、サンプリング回路1及び3に入力される。パルス発生回路4がサンプリング回路1及び3に入力するタイミングパルスは、図1に示した実施例の場合と同様である。つまり、サンプリング回路1には、図11に示す期間 t_{sig} における電圧 V_{sig} をサンプリングさせるためのタイミングパルス $S H_d$ を入力し、サンプリング回路3には、期間 t_f における電圧 V_{er} をサンプリングさせるためのタイミングパルス $S H_p$ を入力し、さらに、サンプリング回路1にタイミングを合わせるために、タイミングパルス $S H_p$ を入力する。

【0061】よって、サンプリング回路1のサンプリング電圧は、 $V_{sig} (= (Q_s + Q_e) / (C_t + C_h))$ となり、サンプリング回路3のサンプリング電圧は、 $V_{er} (= Q_e / C_h)$ となる。

【0062】サンプリング回路3の後段に配置されるレベル調整回路2は、図1に示す実施例の場合と同様に、入力された電圧(サンプリング回路3のサンプリング電圧)に、係数 $C_h / (C_t + C_h)$ を乗算し、出力する。従って、レベル調整回路2の出力電圧は、 $Q_e / (C_t + C_h) (= V_{er} \cdot C_h / (C_t + C_h))$ となる。

【0063】引き算回路5は、サンプリング回路1のサンプリング電圧とレベル調整回路2の出力電圧との電位差 V_{nr} を算出し、出力する。この電位差 V_{nr} は、図1の実施例の場合と同様に、次に示す値となる。

$$V_{nr} = Q_s / (C_t + C_h)$$

【0065】従って、図2のような構成の雑音低減回路においても、出力される信号電圧 V_{nr} が、図1の実施例の場合と同様となり、出力電圧から雑音成分を完全に除去することが可能となる。

【0066】なお、図1及び図2に示すレベル調整回路2は、例えば、図3に示すように、分圧回路10により構成することができる。すなわち、この実施例において50は、抵抗値R1の抵抗11と、抵抗値R2の抵抗12と

が直列接続されており、その接続点の電圧が、バッファアンプ13に入力されるようになされている。また、抵抗11の他端は、電圧入力点であり、抵抗12の他端は、接地されている。

【0067】抵抗11及び抵抗12の抵抗値R1及びR2は、次に示す式を満たすように設定される。

【0068】

$$R2 / (R1 + R2) = C_h / (C_t + C_h)$$

【0069】また、バッファアンプ13は、ゲインがほぼ1のアンプである。

【0070】図1及び図2に示す実施例の場合においては、サンプリング回路3の前段または後段に分圧回路10を配置した構成であったが、分圧回路の代わりに、増幅器を用いて、本発明の雑音低減回路を構成することも可能である。

【0071】図4は、分圧回路の代わりに、増幅器を用いた場合の雑音低減回路の一実施例の構成を示すブロック図である。この実施例においては、図1の分圧回路10よりなるレベル調整回路2を排除し、サンプリング回路1の前段に増幅器20を配置した構成となっている。他の構成は、図1に示す実施例の場合と同様である。

【0072】図4に示す雑音低減回路の動作について説明する。SIT型撮像素子300の電荷分配型の出力回路320から出力された電圧は、増幅器20及びサンプリング回路3に入力される。増幅器20は、入力された電圧を、係数 $(C_t + C_h) / C_h$ を乗算した値に増幅し、その増幅値をサンプリング回路1に入力する。

【0073】パルス発生回路4は、サンプリング回路1に、図11に示す期間 t_{sig} における電圧をサンプリングさせるためのタイミングパルス SH_d を入力し、サンプリング回路3には、期間 t_e における電圧をサンプリングするためのタイミングパルス SH_p を入力し、さらに、サンプリング回路1とのタイミングを合わせるために、タイミングパルス SH_d を入力する。

【0074】サンプリング回路1は、タイミングパルス SH_d に対応して、増幅器20から入力された電圧のサンプリングを行う。つまり、サンプリング回路1によって、 $V_{sig} \cdot (C_t + C_h) / C_h$ がサンプリングされる。

【0075】また、サンプリング回路3は、タイミングパルス SH_p に対応して、SIT型撮像素子300の出力回路320から、直接入力された電圧のサンプリングを行う。つまり、サンプリング回路3によって、 V_{er} がサンプリングされる。さらに、サンプリング回路3は、パルス発生回路4から、タイミングパルス SH_d の入力を受け、このタイミングパルス SH_d に対応して、サンプリング電圧 V_{er} を、再度サンプリングし、サンプリング回路1のサンプリングタイミングに合わせる。

【0076】引き算回路5は、サンプリング回路1及び3においてサンプリングされた2種類のサンプリング電圧の入力を受け、その両者の電位差 V_{nr} を算出し、出力

する。この電位差 V_{nr} は、次に示すような値となる。

【0077】

$$\begin{aligned} V_{nr} &= V_{sig} \cdot (C_t + C_h) / C_h - V_{er} \\ &= (Q_s + Q_e) / C_h - Q_e / C_h \\ &= Q_s / C_h \end{aligned}$$

【0078】従って、この雑音低減回路の出力電圧は、雑音成分（リセット雑音電荷 Q_e ）が完全に低減された電圧となる。

10 【0079】図4に示す実施例においては、サンプリング回路1の前段に増幅器20を配置した構成となっているが、この増幅器20をサンプリング回路1の後段に配置する構成とすることも可能である。図5は、この場合の構成を示す図である。図5における、その他の構成は、図4の場合と同様である。

【0080】図5に示す実施例の動作を説明する。SIT型撮像素子300の出力回路320からの出力電圧が、サンプリング回路1及び3に入力される。パルス発生回路4は、図4の実施例の場合と同様に、サンプリング回路1及び3に、2種類のタイミングパルス SH_d 、 SH_p を入力する。

【0081】サンプリング回路1は、パルス発生回路4から入力されたタイミングパルス SH_d に対応して、図11の期間 t_{sig} の電圧 V_{sig} をサンプリングする。サンプリング回路3は、タイミングパルス SH_p に対応して、図11の期間 t_e の電圧 V_{er} をサンプリングする。また、サンプリング回路3は、サンプリングした電圧 V_{er} を、タイミングパルス SH_d に対応して、再度サンプリングする。

30 【0082】さらに、図4の実施例の場合と同様に、サンプリング回路1がサンプリングしたサンプリング電圧 V_{sig} が、増幅器20に入力され、入力されたサンプリング電圧が、 $(C_t + C_h) / C_h$ 倍され、出力される。従って、増幅器20から、 $V_{sig} \cdot (C_t + C_h) / C_h$ が出力される。

【0083】引き算回路5は、増幅器20及びサンプリング回路3の出力電圧の入力を受け、その電位差 V_{nr} を算出し、出力する。この電位差 V_{nr} の値は、図4の実施例の場合と同様であり、次に示す値となる。

【0084】 $V_{nr} = Q_s / C_h$

【0085】従って、この雑音低減回路は、雑音成分が完全に除去された信号電圧を出力することができる。

【0086】以上の実施例においては、増幅型撮像素子としてのSIT型撮像素子の出力回路の雑音低減について述べたが、増幅型撮像素子以外であっても、出力回路として、電荷分配型出力回路を用いる他の撮像素子においても本発明は利用が可能である。

【0087】なお、このような雑音低減回路または雑音低減方法によれば、出力アンプにおいて発生する低周波雑音（1/f雑音）を低減することも可能である。

【0088】

【発明の効果】以上のように、本発明の雑音低減回路及び雑音低減方法によれば、電荷分配型出力回路から出力される有効信号出力電圧と、リセット雑音出力電圧のゲイン比を、電荷分配型出力回路の第2のコンデンサの容量と、第1のコンデンサの容量と第2のコンデンサの容量の和との比になるようにしてサンプリングし、その電位差を出力信号電圧としたので、電荷分配型出力回路の出力電圧に含まれる雑音成分を有効に低減することができる。

【図面の簡単な説明】

【図1】本発明の雑音低減回路の一実施例の構成を示すブロック図である。

【図2】本発明の雑音低減回路の他の実施例の構成を示すブロック図である。

【図3】分圧回路10の構成を示す回路図である。

【図4】本発明の雑音低減回路の他の実施例の構成を示すブロック図である。

【図5】本発明の雑音低減回路の他の実施例の構成を示すブロック図である。

【図6】CCD型撮像素子及び相関二重サンプリング回路の構成例を示すブロック図である。

【図7】図6に示すソースホロワ回路204の出力電圧と時間との関係を示す特性図である。

【図8】従来のSIT型撮像素子の一構成例を示す回路図である。

【図9】図8に示すSIT型撮像素子300のSIT302Aに蓄積されている光電荷の転送状態を説明するための回路図である。

【図10】図8に示すSIT型撮像素子のSIT302Aに蓄積されている光電荷を出力する場合の動作を説明するフローチャートである。

【図11】図9に示すソースホロワ310から出力される信号電圧と時間との関係を示す特性図である。

【符号の説明】

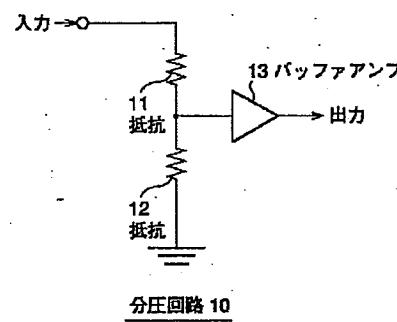
1 サンプリング回路

2 レベル調整回路

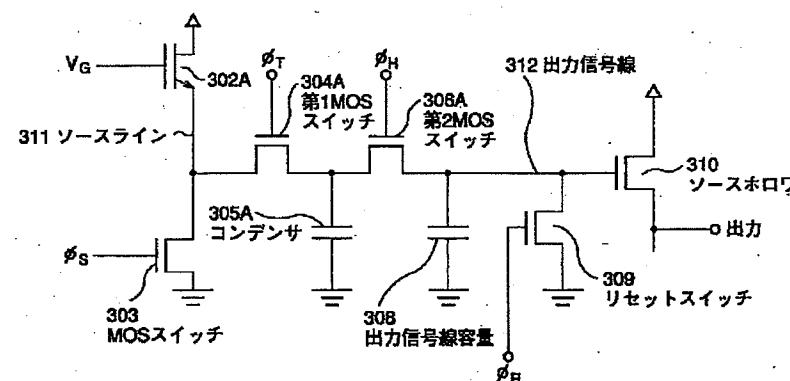
- * 3 サンプリング回路
- 4 パルス発生回路
- 5 引き算回路
- 10 分圧回路
- 11, 12 抵抗
- 13 バッファアンプ
- 20 増幅器
- 200 CCD型撮像素子
- 201 CCDレジスタ
- 10 202 出力ゲート
- 203 浮遊拡散領域
- 204 ソースホロワ回路
- 204A, 204B トランジスタ
- 205 リセットスイッチ
- 206 リセットドレイン領域
- 207 相関二重サンプリング回路
- 208, 209 サンプリング回路
- 210 引き算回路
- 300 SIT型撮像素子
- 301 垂直走査及びパルス発生回路
- 302 受光部
- 302A乃至302I SIT
- 303 MOSスイッチ部
- 303A乃至303C MOSスイッチ
- 304A乃至304C 第1MOSスイッチ
- 305A乃至305C コンデンサ
- 306A乃至306C 第2MOSスイッチ
- 307 水平走査回路
- 308 出力信号線容量
- 309 リセットスイッチ
- 310 ソースホロワ
- 311A乃至311C ソースライン
- 312 出力信号線
- 313A乃至313C ゲートライン
- 320 出力回路

*

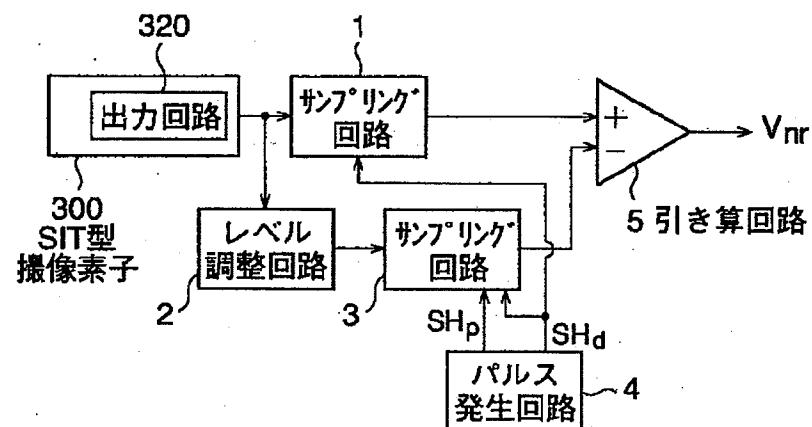
【図3】



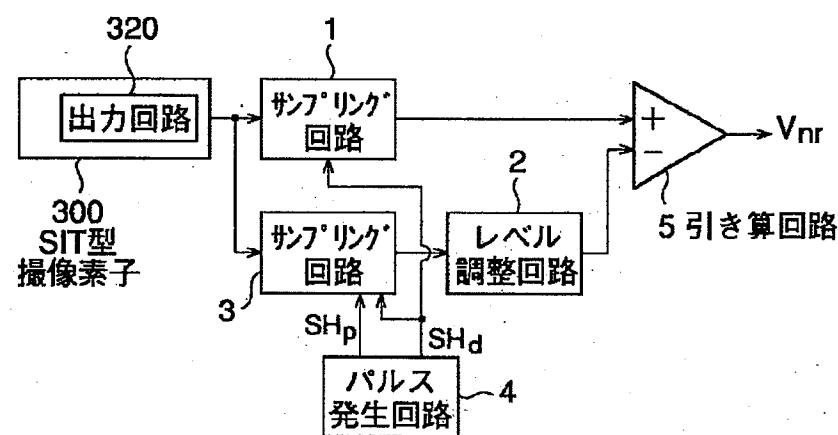
【図9】



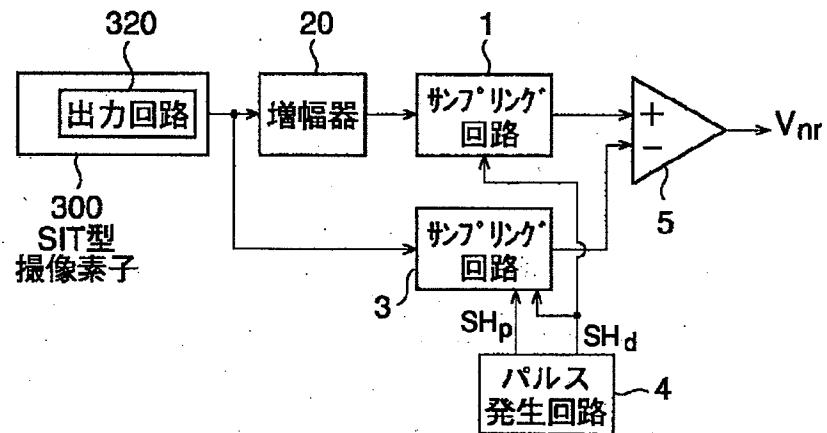
【図1】



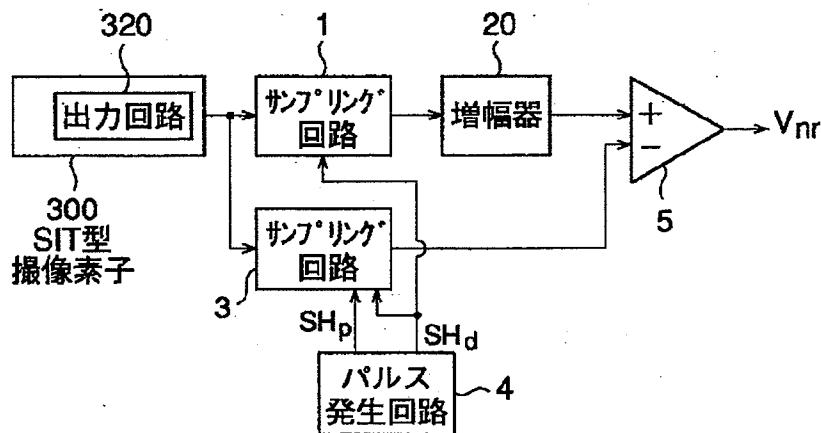
【図2】



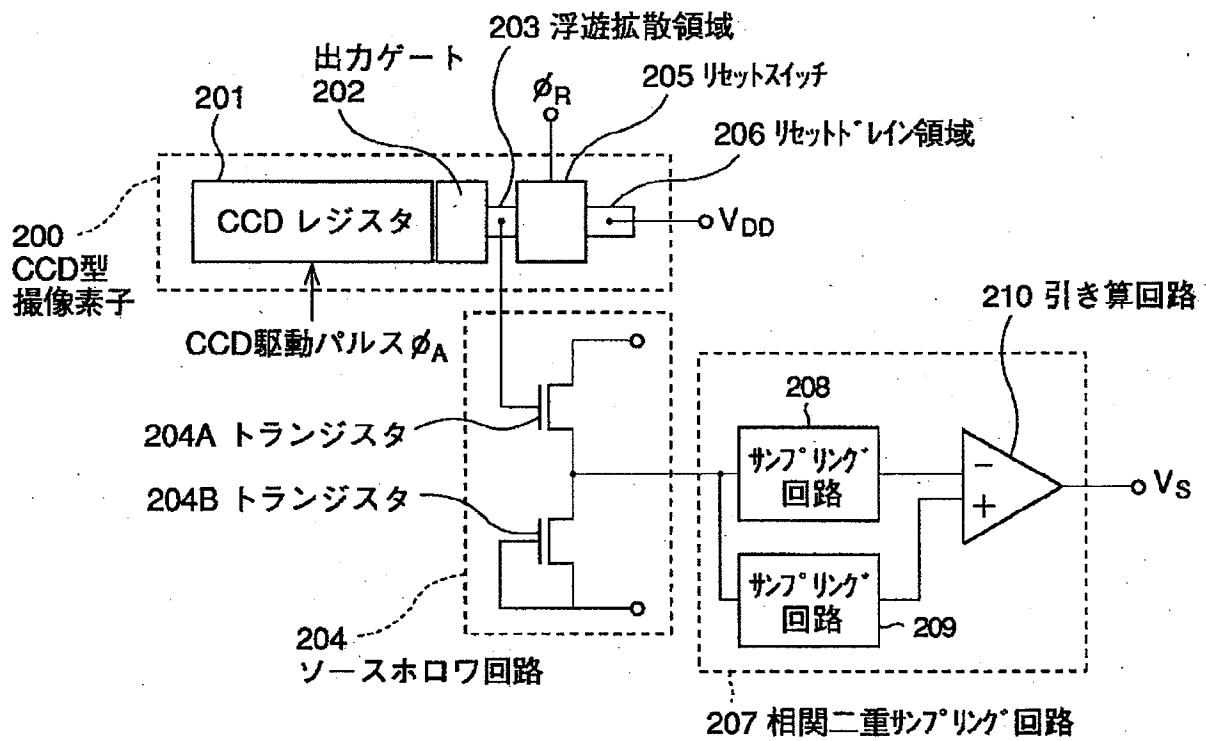
【図4】



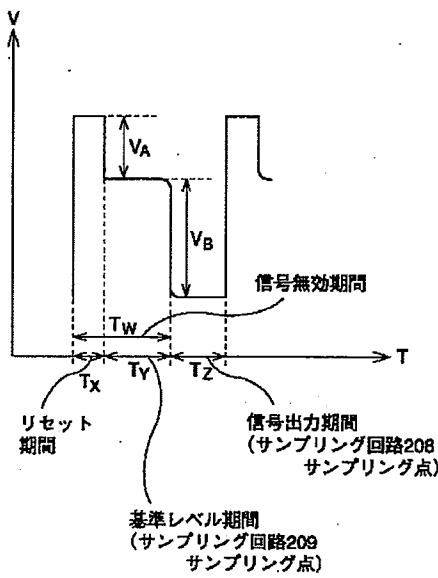
【図5】



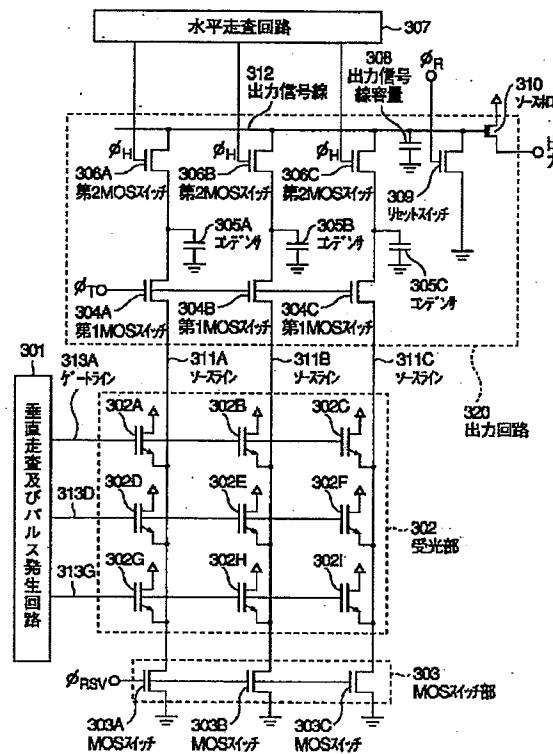
【図6】



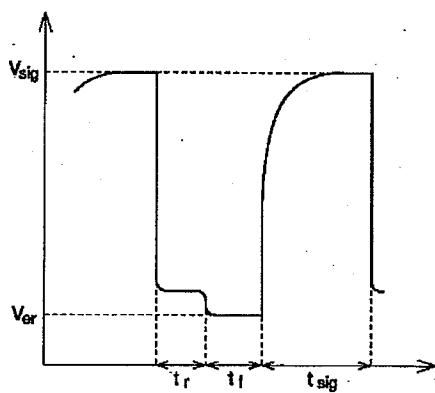
【図7】



【図8】



【図11】



【図10】

